



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:  
Satoru ARAKI

Appl. No. 09/808,941

Confirmation No. 5291

Filed: March 16, 2001

For: DELAY APPARATUS AND  
METHOD

Art Unit: 2631

Examiner: BAYARD, EMMANUEL

Atty. Docket No. 32014-170524

Customer No.

26694

PATENT TRADEMARK OFFICE

**Submission of Certified Copy of Priority Document**

Commissioner for Patents  
P. O. Box 1450  
Alexandria, VA 22313-1450

Sir:

Submitted herewith is a certified copy of Application No. 2000-075834 filed on March 17, 2000 in Japan, the priority of which is claimed in the present application under the provisions of 35 U.S.C. 119.

Date: October 13, 2004

Respectfully submitted,

Michael A. Sartori, Ph.D.  
Registration No. 41,289  
VENABLE LLP  
P.O. Box 34385  
Washington, D.C. 20043-9998

Telephone: (202) 344-4000  
Telefax: (202) 344-8300

DOCS#587694

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
in this Office.

出 願 年 月 日  
Date of Application:

2000年 3月17日

願 番 号  
Application Number:

特願2000-075834

願 人  
Applicant(s):

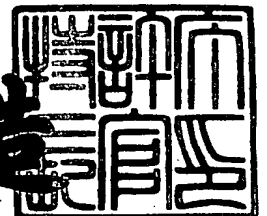
沖電気工業株式会社

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2001年 4月 6日

特 許 庁 長 官  
Commissioner,  
Patent Office

及 川 耕 造



32014-170524  
Akaki SATORU  
09/808, 941

【書類名】 特許願

【整理番号】 OG004317

【提出日】 平成12年 3月17日

【あて先】 特許庁長官殿

【国際特許分類】 H03K 5/135

【発明者】

    【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社  
                        社内

    【氏名】 荒木 哲

【特許出願人】

    【識別番号】 000000295

    【氏名又は名称】 沖電気工業株式会社

【代理人】

    【識別番号】 100089093

    【弁理士】

    【氏名又は名称】 大西 健治

【手数料の表示】

    【予納台帳番号】 004994

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 9720320

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 遅延装置および方法

【特許請求の範囲】

【請求項 1】 第 1 の論理レベルおよび第 2 の論理レベルを有するデジタル信号に対し特定の遅延時間を与えて出力する遅延装置において、

前記デジタル信号が前記第 1 の論理レベルから前記第 2 の論理レベルへ変化する第 1 のエッジを検出して第 1 のエッジ検出信号を出力する第 1 のエッジ検出手段と、

入力される基準クロックをカウントして第 1 のカウント値として出力するとともに入力される前記第 1 のエッジ検出信号により前記第 1 のカウント値をリセットする第 1 のカウンタを有し、前記第 1 のカウント値が前記遅延時間に相当する遅延カウント値と一致したらセット信号を出力するセット手段と、

前記セット信号が出力されてから前記デジタル信号が前記第 2 の論理レベルを保持するレベル保持期間と等しい時間だけ経過した時にリセット信号を出力するリセット手段と、

前記セット信号あるいは前記リセット信号に同期したエッジを有する信号を出力する出力手段と、

を備えることを特徴とする遅延装置。

【請求項 2】 請求項 1 記載の遅延装置において、前記リセット手段は、

前記レベル保持期間に相当する前記基準クロックのレベル保持クロック数を予め記憶する第 1 の記憶手段と、前記レベル保持クロック数と前記遅延カウント値とを加算した値と前記第 1 のカウント値とを比較し、両者の値が一致したら前記リセット信号を出力する第 1 の一致検出手段と、

を備えることを特徴とする遅延装置。

【請求項 3】 請求項 1 記載の遅延装置において、前記遅延装置は更に、

前記デジタル信号が前記第 2 の論理レベルから前記第 1 の論理レベルへ変化する第 2 のエッジを検出して第 2 のエッジ検出信号を出力する第 2 のエッジ検出手段を備え、

前記リセット手段は、前記第 2 のエッジ検出信号で動作して前記第 1 のカウン

ト値を記憶する第2の記憶手段と、前記基準クロックをカウントして第2のカウント値として出力するとともに、入力する前記セット信号により前記第2のカウント値をリセットする第2のカウンタと、前記第2のカウント値と前記第2の記憶手段が記憶する第1のカウント値とを比較し、両者の値が一致したら前記リセット信号を出力する第2の一致検出手段と、

を備えることを特徴とする遅延装置。

【請求項4】 請求項1記載の遅延装置において、前記遅延装置は更に、

前記デジタル信号が前記第2の論理レベルから前記第1の論理レベルへ変化する第2のエッジを検出して第2のエッジ検出信号を出力する第2のエッジ検出手段を備え、

前記リセット手段は、前記基準クロックをカウントして第3のカウント値として出力するとともに、入力する前記第2のエッジ検出信号により第3のカウント値をリセットする第3のカウンタと、前記第3のカウント値と前記遅延カウント値とを比較し、両者の値が一致したら前記リセット信号を出力する第3の一致検出手段と、

を備えることを特徴とする遅延装置。

【請求項5】 第1の論理レベルおよび第2の論理レベルを有するデジタル信号に対し特定の遅延時間を与えて出力する遅延装置において、

前記デジタル信号が前記第1の論理レベルから前記第2の論理レベルへ変化する第1のエッジを検出して第1のエッジ検出信号を出力する第1のエッジ検出手段と、

前記デジタル信号が前記第2の論理レベルから前記第1の論理レベルへ変化する第2のエッジを検出して第2のエッジ検出信号を出力する第2のエッジ検出手段と、

入力される前記第1あるいは第2のエッジ検出信号により動作して出力する書込アドレス値をインクリメントするとともに、入力されるリセット信号により前記書込アドレス値をリセットする書込アドレスカウンタと、

入力される基準クロックをカウントして書込カウント値として出力するとともに、入力される前記リセット信号により前記書込カウント値を第1の初期値にリ

セットする書込カウンタと、

入力される前記基準クロックで動作して前記書込カウンタのカウント値を前記書込アドレス値によって書き込み、且つ書き込まれている前記書込みカウンタのカウント値を読出アドレス値によって読み出すメモリ回路と、

入力される前記基準クロックをカウントして読出カウント値として出力するとともに、入力される前記リセット信号により前記読出カウント値を前記第 1 の初期値に対して前記遅延時間に相当する遅延カウント値に 1 を加えた値だけ差分を有する第 2 の初期値にリセットする読出カウンタと、

入力される前記読出カウント値と前記メモリ回路から読み出された前記書込カウンタ値とを比較し、両者の値が一致したら一致検出信号を出力する一致検出手段と、

入力される前記一致検出信号で動作して前記読出アドレス値をインクリメントして出力するとともに、入力される前記リセット信号により前記読出アドレス値をリセットする読出アドレスカウンタと、

前記読出アドレス値の最下位ビットを出力する出力手段と、  
を備えることを特徴とする遅延装置。

【請求項 6】 請求項 5 記載の遅延装置において、前記遅延装置は更に、  
前記第 2 の初期値から前記遅延時間の有無を判定する判定手段と、  
前記判定手段の出力により前記遅延時間が無い場合は前記書込アドレス値の最下位ビットを出力し、前記遅延時間がある場合は前記読出アドレスの最下位ビットを出力する前記出力手段と、  
を備えることを特徴とする遅延装置。

【請求項 7】 第 1 の論理レベルおよび第 2 の論理レベルを有するデジタル信号に対し特定の遅延時間を与えて出力する遅延方法において、

(A) 前記デジタル信号が前記第 1 の論理レベルから前記第 2 の論理レベルへ変化する第 1 のエッジを検出して第 1 のエッジ検出信号を出力するステップと

(B) 入力される基準クロックをカウントして第 1 のカウント値として出力するとともに、入力される前記第 1 のエッジ検出信号により前記第 1 のカウント値

をリセットし、且つ前記カウント値が前記遅延時間に相当する遅延カウント値と一致したらセット信号を出力するステップと、

(C) 前記セット信号が出力されてから前記デジタル信号が前記第2の論理レベルを保持するレベル保持期間と等しい時間だけ経過した時にリセット信号を出力するステップと、

(D) 前記セット信号あるいは前記リセット信号に同期したエッジを有する信号を出力するステップと、

を備えることを特徴とする遅延方法。

【請求項8】 請求項7記載の遅延方法において、前記ステップ(C)は、

(c1) 前記レベル保持期間に相当する前記基準クロックのレベル保持クロック数を記憶するステップと、

(c2) 前記レベル保持クロック数と前記遅延カウント値とを加算した値と前記第1のカウント値とを比較し、両者の値が一致したら前記リセット信号を出力するステップと、

を備えることを特徴とする遅延方法。

【請求項9】 請求項7記載の遅延方法において、前記遅延方法は更に、

(E) 前記デジタル信号が前記第2の論理レベルから前記第1の論理レベルへ変化する第2のエッジを検出して第2のエッジ検出信号を出力する、

ステップを備え、

前記ステップ(C)は、

(c3) 前記第2のエッジ検出信号で動作して前記第1のカウント値を記憶するステップと、

(c4) 前記基準クロックをカウントして第2のカウント値として出力するとともに、入力される前記セット信号により前記第2のカウント値をリセットするステップと、

(c5) 前記第2のカウント値と前記ステップ(c3)で記憶された前記第1のカウント値とを比較し、両者の値が一致したら前記リセット信号を出力するステップと、

を備えることを特徴とする遅延方法。

【請求項 1 0】 請求項 7 記載の遅延方法において、前記遅延方法は更に、

(F) 前記デジタル信号が前記第 2 の論理レベルから前記第 1 の論理レベルへ変化する第 2 のエッジを検出して第 2 のエッジ検出信号を出力する、

ステップを備え、

前記ステップ (C) は、

(c 6) 前記基準クロックをカウントして第 3 のカウント値として出力するとともに、前記第 2 のエッジ検出信号により前記第 3 のカウント値をリセットするステップと、

(c 7) 前記第 3 のカウント値と前記遅延カウント値とを比較し、両者の値が一致したら前記リセット信号を出力するステップと、

を備えることを特徴とする遅延方法。

【請求項 1 1】 第 1 の論理レベルおよび第 2 の論理レベルを有するデジタル信号を遅延して出力する遅延方法において、

(G) 前記デジタル信号が前記第 1 の論理レベルから前記第 2 の論理レベルへ変化する第 1 のエッジを検出して第 1 のエッジ検出信号を出力するステップと、

(H) 前記デジタル信号が前記第 2 の論理レベルから前記第 1 の論理レベルへ変化する第 2 のエッジを検出して第 2 のエッジ検出信号を出力するステップと、

(I) 入力される前記第 1 あるいは第 2 のエッジ検出信号により動作して出力する書込アドレス値をインクリメントするとともに、入力されるリセット信号により前記書込アドレス値をリセットするステップと、

(J) 入力される基準クロックをカウントして書き込みカウント値として出力するとともに、入力される前記リセット信号により前記書込カウント値を第 1 の初期値にリセットするステップと、

(K) 入力される前記基準クロックで動作して前記書込カウンタのカウント値を前記書込アドレス値によって書き込み、且つ書き込まれている前記書込みカウンタのカウント値を読出アドレス値によって読み出すステップと、

(L) 入力される前記基準クロックをカウントして読出カウント値として出力



するとともに、入力される前記リセット信号により前記読出カウンタ値を前記第 1 の初期値に対して前記遅延時間に相当する遅延カウンタ値に 1 を加えた値だけ差分を有する第 2 の初期値にリセットするステップと、

(M) 入力される前記読出カウンタ値と前記メモリ回路から読み出された前記書込カウンタ値とを比較し、両者の値が一致したら一致検出信号を出力するステップと、

(N) 入力される前記一致検出信号で動作して前記読出アドレス値をインクリメントして出力するとともに、入力される前記リセット信号により前記読出アドレス値をリセットするステップと、

(O) 前記読出アドレス値の最下位ビットを出力するステップと、  
を備えることを特徴とする遅延方法。

【請求項 1 2】 請求項 1 1 記載の遅延方法において、前記遅延方法は更に

(P) 前記第 2 の初期値から前記遅延時間の有無を判定する、  
ステップを備え、

前記ステップ (O) は、前記遅延時間が無い場合は前記書込アドレス値の最下位ビットを出力し、前記遅延時間がある場合は前記読出アドレスの最下位ビットを出力する、

ことを特徴とする遅延方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、入力されるデジタル信号を予め定められた特定の時間だけ遅延する遅延装置および方法に関する。

【0 0 0 2】

【従来の技術】

従来の遅延装置として、特開昭 6 3 - 2 2 4 4 1 1 号公報に記載されるような遅延装置が知られている。図 9 に、上記公報に記載される従来の遅延装置の機能ブロック構成図を示す。

## 【0003】

図9に示す従来の遅延装置は、立上がりエッジ検出手段101と、RSフリップフロップ回路102と、ビット分周手段103と、Mビットアップカウンタ104と、一致検出回路106と、ROM107と、デコーダ108とから構成される。入力デジタル信号Aは、立上がりエッジ検出手段101により、クロックパルスCに同期させられ、且つその立上がりエッジが検出される。この立上がりエッジの検出信号Dは、RSフリップフロップ回路102をリセットするとともに、分周手段103およびMビットアップカウンタ104をリセットする。Mビットアップカウンタ104は、立上がりエッジ検出信号Dにより「0」にリセットされた後、分周手段103により分周されたクロックパルスCをアップカウントしていく。一致検出回路106は、ROM107により指定された値とMビットアップカウンタ104のカウント値が一致すると一致検出信号Eを出力する。RSフリップフロップ回路102は、この一致検出信号Eによりセットされる。

## 【0004】

次に、図10を用いて、図9に示した遅延装置の動作を説明する。図10は、図9の動作を説明するためのタイムチャートであり、横軸に時間、縦軸に論理レベルがとられている。この図を参照しつつ、図9の動作を説明する。上述の構成によれば、RSフリップフロップ回路102の出力信号Bの立上がりエッジは、図10に示すようにデジタル信号Aの立上がりエッジからROM107で指定された時間Tだけ遅延される。この遅延時間Tは、モード指定信号Hをデコーダ108によりデコードすることにより、指定されたモード毎に異なる遅延時間を設定している。

## 【0005】

このように、図9に示す遅延装置では、正確なクロックパルスCをカウントして遅延時間を設定するため、経時変化がなく高安定且つ高精度な動作を実現することが可能である。

## 【0006】

【発明が解決しようとする課題】

しかしながら、図9に示した遅延装置では、図10に示すように、RSフリップフロップ回路102の出力信号Bの立上がりエッジは、デジタル信号Aの立上がりエッジに対して所望の遅延時間Tを与えられているが、立下がりエッジはデジタル信号Aの立下がりエッジに対応していない。このため、出力信号Bの立上がりエッジだけでなく立下がりエッジも使用するシステムにおいては、大きな弊害となる。

#### 【0007】

さらに、遅延時間Tをデジタル信号Aの立下がりから次の立上がりまでの期間を超えるように設定した場合、図11に示すように、出力信号Bはデジタル信号Aの立上がりエッジにすら遅延時間Tを与えることができなくなってしまう問題があった。

#### 【0008】

##### 【課題を解決するための手段】

そこで本発明の遅延装置は、以下の特徴的な構成で上述の課題の少なくとも1つを解決する。

#### 【0009】

すなわち、本発明の遅延装置は、第1の論理レベルおよび第2の論理レベルを有するデジタル信号に対し特定の遅延時間を与えて出力する遅延装置において、遅延カウント値デジタル信号が遅延カウント値第1の論理レベルから遅延カウント値第2の論理レベルへ変化する第1のエッジを検出して第1のエッジ検出信号を出力する第1のエッジ検出手段と、入力される基準クロックをカウントして第1のカウント値として出力するとともに入力される遅延カウント値第1のエッジ検出信号により遅延カウント値第1のカウント値をリセットする第1のカウンタを有し、遅延カウント値第1のカウント値が遅延カウント値遅延時間に相当する遅延カウント値と一致したらセット信号を出力するセット手段と、遅延カウント値セット信号が出力されてから遅延カウント値デジタル信号が遅延カウント値第2の論理レベルを保持するレベル保持期間と等しい時間だけ経過した時にリセット信号を出力するリセット手段と、遅延カウント値セット信号あるいは遅延カウント値リセット信号に同期したエッジを有する信号を出力する出力手段と

を備えることを備えることを特徴とする。

【 0 0 1 0 】

また、本発明の遅延方法は、以下の特徴的な構成で上述の課題を解決する。

【 0 0 1 1 】

すなわち、本発明の遅延方法は、第 1 の論理レベルおよび第 2 の論理レベルを有するデジタル信号に対し特定の遅延時間を与えて出力する遅延方法において、(A) 遅延カウント値デジタル信号が遅延カウント値第 1 の論理レベルから遅延カウント値第 2 の論理レベルへ変化する第 1 のエッジを検出して第 1 のエッジ検出信号を出力するステップと、(B) 入力される基準クロックをカウントして第 1 のカウント値として出力するとともに、入力される遅延カウント値第 1 のエッジ検出信号により遅延カウント値第 1 のカウント値をリセットし、且つ遅延カウント値カウント値が遅延カウント値遅延時間に相当する遅延カウント値と一致したらセット信号を出力するステップと、(C) 遅延カウント値セット信号が出力されてから遅延カウント値デジタル信号が遅延カウント値第 2 の論理レベルを保持するレベル保持期間と等しい時間だけ経過した時にリセット信号を出力するステップと、(D) 遅延カウント値セット信号あるいは遅延カウント値リセット信号に同期したエッジを有する信号を出力するステップとを備えることを特徴とする。

【 0 0 1 2 】

【発明の実施の形態】

次に、図面を参照しながら、本発明の実施の形態を説明するが、本発明は以下の実施の形態に限定されるものではない。

【 0 0 1 3 】

(実施の形態 1)

まず、本発明の実施の形態 1 を図 1 を用いて説明する。図 1 は、本発明の実施の形態 1 における遅延装置を機能ブロックで示した構成図である。

【 0 0 1 4 】

図 1 において、本発明の実施の形態 1 の遅延装置 1 は、入力端子 2, 3 と、第 1 のエッジ検出手段である立上がりエッジ検出手段 4 と、第 1 のカウンタである

カウンタ 5 と、一致検出手段 6 と、記憶手段 7 と、デコーダ 8 と、入力端子 9 と、出力手段である RS フリップフロップ 1 0 と、一致検出手段 1 1 と、記憶手段 1 2 と、加算器 1 3 と、出力端子 1 4 から構成される。

## 【 0 0 1 5 】

入力端子 2 には、第 1 の論理レベルおよび第 2 の論理レベルを有するデジタル信号 A が入力される。入力端子 3 には、基準クロックとしてクロックパルス C が入力される。なお、この実施の形態 1 では、デジタル信号 A は第 1 の論理レベルを「0」、第 2 の論理レベルを「1」としている。なお、これらの論理レベルは、逆に扱うことも可能である。また、以降の説明では、デジタル信号 A の論理レベルが「0」から「1」へ変化することを「デジタル信号 A が立ち上がる」と表現し、論理レベルが「1」から「0」へ変化することを「デジタル信号 A が立ち下がる」と表現することもある。

## 【 0 0 1 6 】

入力端子 2, 3 には、立上がりエッジ検出手段 4 が接続されている。立上がりエッジ検出手段 4 は、入力端子 2 を介して入力されるデジタル信号 A が第 1 の論理レベルである「0」から第 2 の論理レベルである「1」へ変化する立上がりエッジを検出してエッジ検出信号 D を出力する。更に具体的には、立上がりエッジ検出手段は、デジタル信号 A をクロックパルス C に同期化し、且つその同期化出力の立上がりエッジをエッジ検出信号 D として出力する。立上がりエッジ検出手段 4 の出力は、カウンタ 5 に接続されている。

## 【 0 0 1 7 】

カウンタ 5 には、前述の入力端子 3 も接続されている。この実施の形態 1 において、カウンタ 5 は、M (M は自然数) ビットアップカウンタにより構成されている。カウンタ 5 は、入力されるクロックパルス C をカウントするとともに、エッジ検出信号 D によってそのカウント値を「0」にリセットする。カウンタ 5 の出力 F (カウント値) は一致検出手段 6 に接続されている。

## 【 0 0 1 8 】

一致検出手段 6 には、記憶手段 7 の出力 G も接続されている。記憶手段 7 は、複数のアドレスにそれぞれ異なるデジタル値を予め保持している。記憶手段 7

にはデコーダ 8 の出力 I が接続されており、デコーダ 8 には、入力端子 9 が接続されている。入力端子 9 には、ディジタル信号 A に与える遅延時間を設定するためのモード指定信号 H が入力される。デコーダ 8 は、入力されるモード指定信号 H に応じて、所望の遅延時間に相当するクロックパルス C の遅延カウント値を認定する。そして、デコーダ 8 は、認定した遅延カウント値に相当するディジタル値が保持されている記憶手段 7 のアドレスを出力する。記憶手段 7 は、デコーダ 8 の出力 I により指定されるアドレスに保持されるディジタル値を出力する。記憶手段 7、デコーダ 8、入力端子 9 により、所望の遅延時間の設定が行なわれる。記憶手段 7 としては、ROM を採用することが可能である。記憶手段 7 は、ROM の他に、RAM、レジスタ等を採用することも可能である。記憶手段 7 に RAM を採用する場合、デコーダ 8 は、モード指定信号 H により所望の遅延時間に相当するクロックパルス C の遅延カウント値を認定し、この遅延カウント値と、遅延カウント値が保持されている RAM のアドレスを出力する。また、記憶手段にレジスタを採用する場合、デコーダ 8 は、モード指定信号 H により所望の遅延時間に相当するクロックパルス C の遅延カウント値を認定し、この遅延カウント値とレジスタへのイネーブル信号を出力する。上述したように、デコーダ 8 は、記憶手段 7 の出力 G の値を指定する機能を有していれば種々な構成を有することが可能である。

## 【 0 0 1 9 】

一致検出手段 6 は、カウンタ 5 の出力 F および記憶手段 7 の出力 G を比較し、両者の値が一致したらセット信号 E を出力する。符号 5 ～ 9 によって示される要素から本発明のセット手段 1 5 が構成される。セット信号 E は、RS フリップフロップ 1 0 のセット入力に接続されている。

## 【 0 0 2 0 】

前述のカウンタ 5 の出力 F は、一致検出手段 1 1 にも接続されている。一致検出手段 1 1 には、出力 F の他に、加算器 1 3 の出力が接続されている。加算器 1 3 は、記憶手段 7 の出力 G と記憶手段 1 2 の出力 O との加算値 ( $O + G$ ) を出力する。記憶手段 1 2 には、ディジタル信号 A が第 2 の論理レベルである「1」を保持する期間（以下、この期間をレベル保持期間と言う）に相当するクロックパ

ルスCのクロック数（以下、このクロック数をレベル保持クロック数とも言う）が予め記憶されている。この実施の形態1では、入力デジタル信号Aは、レベル保持期間が予め分かっており、かつ、レベル保持期間が一定な信号である。記憶手段12は、レジスタ、ROM等を採用することが可能である。一致検出手段11は、加算器13の出力（O+G）およびカウンタ5の出力Fを比較し、両者の値が一致したらリセット信号Qを出力する。一致検出手段11、記憶手段12および加算器13から本発明のリセット手段16が構成される。リセット信号Qは、RSフリップフロップ10のリセット入力に接続される。RSフリップフロップ10は、セット信号Eに同期した立上がりエッジおよびリセット信号Qに同期した立下がりエッジを有する出力信号Bを出力する。

## 【0021】

次に、遅延装置1の動作を図2を用いて説明する。図2は、同実施の形態1の遅延装置1の動作を示すタイムチャートである。ただし、図2は、遅延装置1の動作説明を簡明とするために、信号を処理する各ブロック自身の位相遅れは省略している。本実施の形態1では、クロックパルスCの周期を50nsとし、デジタル信号Aに与える遅延時間Tを400nsとした場合について説明する。また、デジタル信号Aのレベル保持期間は、常に一定であり、本実施の形態1では300nsである。このような条件に対し、遅延装置1では、以下に説明する通り遅延カウント値の設定が行なわれる。すなわち、デジタル信号Aに与える遅延時間T（400ns）に相当するクロックパルスCのクロック数は「8」である。

## 【0022】

したがって、図2に示す通り、デコーダ8には、予め、入力端子9を介してモード指定信号H（H＝「16」）が入力される。デコーダ8は、モード指定信号Hに応じて、出力I（I＝「8」）を出力する。記憶手段7からは、アドレス「8」に記憶保持されているデジタル値「8」が出力Gとして出力される。このように、遅延時間Tに対応する遅延カウント値の設定が行なわれる。また、記憶手段12には、予め、前述のデジタル信号Aのレベル保持期間に相当するレベル保持クロック数が「6」として記憶されている。なお、上述したモード指定信

号Hおよびデコーダの出力Iの値は一例に過ぎず、この発明の遅延装置が使用されるシステムに応じて種々の値が用いられる。

#### 【0023】

図1に示すように、立ち上がりエッジ検出手段4には、入力端子2を介して立ち上げ期間が一定のデジタル信号AがクロックパルスCに同期して入力される。

#### 【0024】

図2に示す時刻 $t_{11}$ において、デジタル信号Aの論理レベルが「0」から「1」へ変化すると、立ち上がりエッジ検出ブロック4は、デジタル信号Aの同期化出力をエッジ検出信号Dとして出力する。カウンタ5は、エッジ検出信号Dによりカウント値を「0」にリセットする。カウンタ5は、時刻 $t_{11}$ 以降、入力されるクロックパルスCをカウントし、そのカウント値Fを1ずつアップカウントする。

#### 【0025】

次に、時刻 $t_{12}$ において、出力Fと記憶手段7の出力Gの値が一致したため、一致検出手段6がセット信号Eを出力する。RSフリップフロップ10は、セット信号Eに同期して出力信号Bの値を「0」から「1」に変化させる。この出力信号Bの立ち上がり時刻 $t_{12}$ は、デジタル信号Aの立ち上がり時刻 $t_{11}$ から遅延カウント値分すなわちクロックパルス8個分だけ遅延されている。したがって、出力信号Bの立ち上がり時刻 $t_{12}$ は、デジタル信号Aの立ち上がり時刻 $t_{11}$ から遅延時間T(400ns)だけ遅延される。

#### 【0026】

一致検出手段11は、加算器13の出力( $O+G$ )と、カウンタ5の出力Fとを比較する。本実施の形態1では、( $O+G$ )の値は「14」である。

#### 【0027】

時刻 $t_{13}$ において、出力Fの値が「14」となり出力( $O+G$ )の値と一致したため、一致検出手段11は、リセット信号Qを出力する。RSフリップフロップ10は、リセット信号Qに同期して出力信号Bの値を「1」から「0」へ変化させる。この出力信号Bの立下がり時刻 $t_{13}$ は、出力信号Bの立ち上がり時刻 $t_{12}$ からデジタル信号Aのレベル保持期間(300ns)に相当するレベル保持ク



ロック数すなわちクロックパルスC 6個分だけ経過している。したがって、出力信号Bのレベル保持期間は、デジタル信号Aのレベル保持期間と一致する。

## 【 0 0 2 8 】

時刻 $t_{14}$ において、デジタル信号Aの論理レベルが再び「0」から「1」へ立ち上がると、立ち上がりエッジ検出ブロック4は、エッジ検出信号Dを出力する。カウンタ5は、カウント値を「0」にリセットする。カウンタ5は、時刻 $t_{14}$ 以降、入力されるクロックパルスCをカウントし、そのカウント値Fを1ずつアップカウントする。

## 【 0 0 2 9 】

時刻 $t_{14}$ 以後、遅延装置1は、前述と同様の動作を繰り返す。すなわち、時刻 $t_{15}$ では、デジタル信号Aの時刻 $t_{14}$ における立ち上がりから所望の遅延時間T (400 ns) だけ遅延されて、出力信号Bが立ち上げられる。そして、時刻 $t_{16}$ では、時刻 $t_{15}$ からデジタル信号Aのレベル保持期間 (300 ns) と等しい期間だけ経過して出力信号Bが立ち下げられる。以降、時刻 $t_{17} \sim t_{19}$ においても、前述と同様の動作が繰り返される。

## 【 0 0 3 0 】

上述のように、本実施の形態1においては、デジタル信号Aが一定のレベル保持期間を有する場合、デジタル信号Aの立ち上がりエッジだけでなく、立下がりエッジに対しても、所望の遅延時間を与えることができる。このため、遅延装置1を出力信号Bの立ち上がりエッジだけでなく立下がりエッジも使用するシステムでも使用することができる。

## 【 0 0 3 1 】

## (実施の形態2)

次に本発明の実施の形態2の遅延装置を図3を用いて説明する。図3は、本発明の実施の形態2における遅延装置を機能ブロックで示した構成図である。

## 【 0 0 3 2 】

なお、本実施の形態2の説明において、実施の形態1の構成要素に対応する構成要素には同一の符号を付して、その詳細な説明を省略する。本実施の形態2は、下記の点で実施の形態1と相違しているが、他の点では実施の形態1と同様に

構成されている。

【 0 0 3 3 】

本実施の形態 2 では、遅延されるデジタル信号 A は、レベル保持期間が不定な信号を対象としている。

【 0 0 3 4 】

図 3 おいて、本実施の形態 2 における遅延装置 2 1 では、入力端子 3 とカウンタ 5 との間に分周手段 2 2 が設けられている。分周手段 2 2 には、立上がりエッジ検出手段 4 のエッジ検出信号 D およびクロックパルス C が接続されている。分周手段 2 2 は、エッジ検出信号 D によりリセットされ、且つ入力されるクロックパルス C を分周する。分周されたクロックパルス C は、出力 J としてカウンタ 5 に入力される。

【 0 0 3 5 】

さらに、遅延装置 2 1 は、立上がりエッジ検出手段 4 に加え、第 2 のエッジ検出手段である立下がりエッジ検出手段 2 3 が設けられている。立下がりエッジ検出手段 2 3 には、立上がりエッジ検出手段 4 と同様に入力端子 2, 3 を介してデジタル信号 A および C が接続されている。立下がりエッジ検出手段 2 3 は、デジタル信号 A が第 2 の論理レベルから第 1 の論理レベルへ変化する立下がりエッジを検出してエッジ検出信号 D' を出力する。更に具体的には、立下がりエッジ検出手段 2 3 は、入力端子 2 を介して入力されるデジタル信号 A をクロックパルス C に同期化し、且つその同期化出力の立下がりエッジをエッジ検出信号 D' として出力する。

【 0 0 3 6 】

エッジ検出信号 D' は、記憶手段 2 6 に接続されている。記憶手段 2 6 にはカウンタ 5 の出力 F が接続されている。記憶手段 2 6 は、エッジ検出信号 D' が入力されると動作して、カウンタ 5 の出力 F を記憶する。そして、記憶手段 2 6 が記憶したカウンタ出力 F の値を出力 U として出力する。記憶手段 2 6 としては、フリップフロップが考えられる。この場合、エッジ検出信号 D' は、フリップフロップのクロック入力として用いられる。記憶手段 2 6 の出力 U は、第 2 の一致検出手段である一致検出手段 2 7 に接続される。一方、一致検出手段 2 7 には、

第2のカウンタであるカウンタ28の出力Vが接続されている。カウンタ28には、分周ブロックの出力Jおよび一致検出手段6のセット信号Eが接続されている。本実施の形態2において、カウンタ28は、M（Mは自然数）ビットアップカウンタにより構成されており、入力される出力Jをカウントするとともに、セット信号Eによってカウント値を「0」にリセットする。一致検出手段27は、記憶手段26の出力Uとカウンタ28の出力V（カウント値）とを比較し、両者の値が一致したらリセット信号Qを出力する。リセット信号Qは、RSフリップフロップ10のリセット入力に接続される。符号26～28によって示される要素から本発明のリセット手段29が構成される。

## 【0037】

次に、遅延装置21の動作を図4を用いて説明する。図4は、同実施の形態2の遅延装置の動作を示すタイムチャートである。ただし、図4は、遅延装置21の動作説明を簡明とするために、信号を処理する各ブロック自身の位相遅れは省略している。本実施の形態2では、実施の形態1と同様に、例えば、クロックパルスCの周期を50nsとし、デジタル信号Aに与える遅延時間Tを800nsとした場合を説明する。この場合、実施の形態1の遅延装置1と同様の動作によ、遅延カウント値が「8」と設定される。ただし、本実施の形態2では、遅延カウント値は、分周手段22によって分周されたクロックパルスCが遅延時間Tに相当する数としている。

## 【0038】

図4に示す時刻t21において、デジタル信号Aの論理レベルが「0」から「1」へ変化すると、立上がりエッジ検出手段4は、エッジ検出信号Dを出力する。分周手段22は、このエッジ検出信号Dによりリセットされ、それ以降に入力されるクロックパルスCを分周する。本実施の形態2では、分周手段22は、クロックパルスCの周期を1/2に分周する。すなわち、分周手段22は、50nsの周期で入力されるクロックパルスCを分周して、100nsの周期の出力Jを出力する。カウンタ5は、エッジ検出信号Dが入力されると、カウント値を「0」にリセットし、リセット後に入力される出力Jをアップカウントする。

## 【0039】

時刻  $t_{22}$  において、デジタル信号 A の論理レベルが「1」から「0」へ変化すると、立下がりエッジ検出手段 24 は、エッジ検出信号  $D'$  を出力する。記憶手段 26 は、エッジ検出信号  $D'$  が入力される時点（時刻  $t_{22}$ ）でのカウンタ 5 の出力 F（カウント値）を記憶し、且つ、出力 U として出力する。記憶手段 26 が記憶する出力 F の値は、「6」である。この値は、遅延対象となるデジタル信号 A のレベル保持期間に相当する分周手段 22 の出力 J のクロック数と一致する。したがって、記憶手段 26 は、遅延対象となるデジタル信号 A のレベル保持クロック数を記憶する。

## 【0040】

時刻  $t_{23}$  において、カウンタ 5 の出力 F の値が「8」となり記憶手段 7 の出力 G の値と一致したため、一致検出手段 6 がセット信号 E を出力する。カウンタ 28 は、このセット信号 E によりカウント値を「0」にリセットし、それ以後入力されるクロック J をアップカウントする。RS フリップフロップ 10 は、セット信号 E に同期して出力信号 B の値を「0」から「1」に立ち上げる。この出力信号 B の立上がり時刻  $t_{23}$  は、デジタル信号 A の立上がり時刻  $t_{21}$  から遅延カウント値分すなわち出力 J のクロック数 8 個分だけ遅延されている。したがって、出力信号 B の立上がり時刻  $t_{23}$  は、デジタル信号 A の立上がり時刻  $t_{21}$  から遅延時間  $T$  ( $800\text{ ns}$ ) だけ遅延される。

## 【0041】

時刻  $t_{24}$  において、一致検出手段 27 が、記憶手段 26 の出力 U とカウンタ 28 の出力 V の値が一致したことを検出し、リセット信号 Q を出力する。RS フリップフロップ 10 は、リセット信号 Q に同期して出力信号 B の値を「1」から「0」へ変化させる。この出力信号 B の立下がり時刻  $t_{24}$  は、出力信号 B が立ち上げられた時刻  $t_{23}$  からデジタル信号 A のレベル保持期間 ( $600\text{ ns}$ ) だけ経過している。したがって、出力信号 B のレベル保持期間は、デジタル信号 A のレベル保持期間と一致する。

## 【0042】

次に、時刻  $t_{25}$  において、デジタル信号 A が再び論理レベルを「0」から「1」へ変化させると、立上がりエッジ検出手段 4 は、エッジ検出信号 D を出力す

る。時刻  $t_{25}$ での遅延装置 21 の動作は時刻  $t_{21}$ における動作と同様である。

【0043】

時刻  $t_{26}$ において、前述した  $t_{23}$ と同様の動作が行われ、RSフリップフロップ10が、セット信号Eに同期して出力信号Bの値を「0」から「1」に立ち上げる。この出力信号Bの立上がり時刻  $t_{26}$ は、デジタル信号Aの立上がり時刻  $t_{25}$ から遅延時間  $T$  ( $800\text{ ns}$ ) だけ遅延される。

【0044】

時刻  $t_{27}$ において、デジタル信号Aの論理レベルが「1」から「0」へ変化すると、前述した  $t_{22}$ と同様の動作が行われる。すなわち、立下がりエッジ検出手段24が、エッジ検出信号  $D'$  を出力する。記憶手段26は、エッジ検出信号  $D'$  が入力される時点（時刻  $t_{27}$ ）でのカウンタ5の出力F（カウント値）を記憶し、且つ、出力Uとして出力する。記憶手段26の出力Uの値は「11」である。この出力Uの値は、デジタル信号Aの時刻  $t_{25}$ から時刻  $t_{27}$ までのレベル保持期間 ( $1100\text{ ns}$ ) に相当する遅延カウント値と一致する。

【0045】

時刻  $t_{28}$ において、前述した時刻  $t_{24}$ における動作と同様に、一致検出手段27が、リセット信号Qを出力する。RSフリップフロップ10は、リセット信号Qに同期して出力信号Bの値を「1」から「0」へ変化させる。この出力信号Bの立下がり時刻  $t_{28}$ は、出力信号Bが立ち上げられた時刻  $t_{26}$ からデジタル信号Aのレベル保持期間 ( $1100\text{ ns}$ ) だけ経過している。したがって、出力信号Bのレベル保持期間は、デジタル信号Aのレベル保持期間と一致する。

【0046】

上述のように、本実施の形態2においては、遅延装置21は、レベル保持期間が不規則に変化するデジタル信号Aに対して、デジタル信号Aから所望の時間だけ遅延させ、且つデジタル信号Aと同じレベル保持期間を有する出力信号Bを出力することができる。

【0047】

（実施の形態3）

次に本発明の実施の形態3の遅延装置を図5を用いて説明する。図5は、本発

明の実施の形態 3 における遅延装置を機能ブロックで示した構成図である。

【 0 0 4 8 】

なお、本実施の形態 3 の説明において、実施の形態 2 の構成要素に対応する構成要素には同一の符号を付して、その詳細な説明を省略する。本実施の形態 3 は、下記の点で実施の形態 2 と相違しているが、他の点では実施の形態 2 と同様に構成されている。

【 0 0 4 9 】

図 5 おいて、本実施の形態 3 における遅延装置 3 1 は、図 3 のリセット手段 2 9 の代わりに、リセット手段 3 2 が設けられている。リセット手段 3 2 は、第 3 のカウンタであるカウンタ 3 3 と第 3 の一致検出手段である一致検出手段 3 4 から構成されている。カウンタ 3 3 には、エッジ検出信号 D' および分周手段 2 2 の出力 J が接続されている。本実施の形態 3 において、カウンタ 3 3 は、M (M は自然数) ビットアップカウンタにより構成されており、入力される出力 J をカウントするとともに、エッジ検出信号 D' によってカウント値を「0」にリセットする。一致検出手段 2 7 は、カウンタ 3 3 の出力 F' (カウント値) と記憶手段 7 の出力 G とを比較し、両者の値が一致したらリセット信号 Q を出力する。リセット信号 Q は、RS フリップフロップ 1 0 のリセット入力に接続される。

【 0 0 5 0 】

次に、遅延装置 3 1 の動作を図 6 を用いて説明する。図 6 は、同実施の形態 3 の遅延装置の動作を示すタイムチャートである。ただし、図 6 は、遅延装置 3 1 の動作説明を簡明とするために、信号を処理する各ブロック自身の位相遅れは省略している。本実施の形態 3 では、実施の形態 2 と同様に、例えば、クロックパルス C の周期を 5 0 n s とし、デジタル信号 A に与える遅延時間 T を 8 0 0 n s とした場合を説明する。

【 0 0 5 1 】

図 6 に示す時刻 t 31 において、デジタル信号 A の論理レベルが「0」から「1」へ変化すると、立上がりエッジ検出手段 4 は、エッジ検出信号 D を出力する。分周手段 2 2 は、このエッジ検出信号 D によりリセットされ、それ以降に入力されるクロックパルス C を分周する。本実施の形態 3 では、分周手段 2 2 は、実

施の形態 2 と同様にクロックパルス C の周期を  $1/2$  に分周する。カウンタ 5 は、エッジ検出信号 D が入力されると、カウント値を「0」にリセットし、リセット後に入力される出力 J をアップカウントする。

## 【 0 0 5 2 】

時刻  $t_{32}$  において、デジタル信号 A の論理レベルが「1」から「0」へ変化すると、立下がりエッジ検出手段 2 4 は、エッジ検出信号 D' を出力する。カウンタ 3 3 は、エッジ検出信号 D' が入力されると、カウント値を「0」にリセットし、リセット後に入力される出力 J をアップカウントする。

## 【 0 0 5 3 】

時刻  $t_{33}$  において、カウンタ 5 の出力 F の値が遅延カウント値である「8」となり記憶手段 7 の出力 G の値と一致したため、一致検出手段 6 がセット信号 E を出力する。RS フリップフロップ 1 0 は、セット信号 E の入力に同期して出力信号 B の値を「0」から「1」に変化させる。この出力信号 B の立上がり時刻  $t_{33}$  は、デジタル信号 A の立上がり時刻  $t_{31}$  から遅延カウント値分すなわち出力 J のクロック数 8 個分だけ遅延されている。したがって、出力信号 B の立上がり時刻  $t_{33}$  は、デジタル信号 A の立上がり時刻  $t_{31}$  から遅延時間 T ( 8 0 0 n s ) だけ遅延される。

## 【 0 0 5 4 】

時刻  $t_{34}$  において、一致検出手段 3 4 が、カウンタ 3 3 の出力 F' ( カウント値 ) と記憶手段 7 の出力 G との一致を検出し、リセット信号 Q を出力する。このとき、カウンタ 3 3 の出力 F' ( カウント値 ) は、遅延カウント値すなわち分周手段 2 2 の出力 J のクロック数と一致する。RS フリップフロップ 1 0 は、リセット信号 Q の入力に同期して出力信号 B の値を「1」から「0」に変化させる。この出力信号 B の立下がり時刻  $t_{34}$  は、デジタル信号 A の立下がり時刻  $t_{32}$  から遅延カウント値分すなわち出力 J のクロック数 8 個分だけ遅延されている。したがって、出力信号 B の立下がり時刻  $t_{34}$  は、デジタル信号 A の立下がり時刻  $t_{32}$  から遅延時間 T ( 8 0 0 n s ) だけ遅延される。

## 【 0 0 5 5 】

次に、時刻  $t_{35}$  において、デジタル信号 A が再び論理レベルを「0」から「

「1」へ変化させると、立上がりエッジ検出手段4は、エッジ検出信号Dを出力する。時刻t35での遅延装置21の動作は時刻t31における動作と同様である。

【0056】

時刻t36において、前述した時刻t33における動作と同様に、一致検出手段6がセット信号Eを出力する。RSフリップフロップ10は、セット信号Eの入力に同期して出力信号Bの値を「0」から「1」に変化させる。この出力信号Bの立上がり時刻t36は、デジタル信号Aの立上がり時刻t35から遅延カウント値分すなわち出力Jのクロック数8個分だけ遅延されている。したがって、出力信号Bの立上がり時刻t36は、デジタル信号Aの立上がり時刻t35から遅延時間T(800ns)だけ遅延される。

【0057】

時刻t37において、デジタル信号Aの論理レベルが「1」から「0」へ変化すると、前述した時刻t32における動作と同様に、立下がりエッジ検出手段24は、エッジ検出信号D'を出力する。カウンタ33は、エッジ検出信号D'が入力されると、カウント値を「0」にリセットし、リセット後に入力される出力Jをアップカウントする。

【0058】

時刻t38において、前述した時刻t34における動作と同様に、一致検出手段34が、リセット信号Qを出力する。RSフリップフロップ10は、リセット信号Qの入力に同期して出力信号Bの値を「1」から「0」に変化させる。この出力信号Bの立下がり時刻t38は、デジタル信号Aの立下がり時刻t37から遅延カウント値分すなわち出力Jのクロック数8個分だけ遅延されている。したがって、出力信号Bの立下がり時刻t38は、デジタル信号Aの立下がり時刻t37から遅延時間T(800ns)だけ遅延される。

【0059】

上述のように、本実施の形態3においては、遅延装置31は、レベル保持期間が不規則に変化するデジタル信号Aに対して、デジタル信号Aから所望の時間だけ遅延させ、且つデジタル信号Aと同じレベル保持期間を有する出力信号Bを出力することができる。更に、実施の形態2の記憶手段26を省略したため



、製造のためのコストを低減することができる。

#### 【0060】

##### （実施の形態4）

次に本発明の実施の形態4の遅延装置を図7を用いて説明する。図7は、本発明の実施の形態4における遅延装置を機能ブロックで示した構成図である。なお、本実施の形態4の説明において、実施の形態1の構成要素に対応する構成要素には同一の符号を付して、その詳細な説明を省略する。

#### 【0061】

図7において、本発明の実施の形態4の遅延装置41は、立上がりエッジ検出手段42と立下がりエッジ検出手段43を備えている。各エッジ検出ブロック42、43は、それぞれ前述したエッジ検出ブロック4、23と同様に構成されている。各エッジ検出ブロック42、43の一致検出信号D、D'は、OR回路44に接続される。OR回路44の出力Kは、書込アドレスカウンタ46に接続される。書込アドレスカウンタ46は、OR回路44の出力Kが入力されると、出力する書込アドレスWAを1ずつインクリメントする。また、書込アドレスカウンタ46は、外部からのリセット端子45を介してシステムリセット信号RSTが入力されると、書き込みアドレスWAを「0」にリセットする。なお、書込アドレスWAは、最大アドレスまでインクリメントされた後は、再びアドレス「0」からインクリメントを開始する。本実施の形態4では、書込アドレスWAの最大アドレスは、「3」に設定されている。書込アドレスWAは、メモリ回路47に接続される。一方、書込アドレスカウンタ46は、書込アドレスWAの最下位ビットLSB1を後述する選択器48に出力する。

#### 【0062】

遅延装置41は、書込カウンタ51を備えている。書込カウンタ51には、クロックパルスCおよびシステムリセット信号RSTが入力される。書込カウンタ51は、クロックパルスCが入力される度にカウント値を1つカウントダウンするとともに、システムリセット信号RSTによりカウント値を第1の初期値にリセットする。本実施の形態4では、第1の初期値には、「0」が設定されている。書込カウンタ51が出力するカウント値WDはメモリ回路47に接続される。

本実施の形態4では、書込カウンタ51はM（Mは自然数）ビットダウンカウンタにより構成される。

#### 【0063】

メモリ回路47は、データ長Mビットで深さNの図示しないRAM或いはレジスタ等により構成されており、書込アドレスWAで指定されるアドレスに、クロックパルスCに同期して書込カウンタ51のカウンタ値WDを書き込む。なお、本実施の形態4では、メモリ回路47の深さNは、「4」が設定されており、前述した書込アドレスカウンタ46が出力する書込アドレスWAの最大アドレスと一致している。

#### 【0064】

遅延装置41は、読出アドレスカウンタ52を備えている。読出アドレスカウンタ52には、システムリセット信号RSTおよび後述する一致検出手段53の一致検出信号Eが入力される。読出アドレスカウンタ52は、一致検出信号Eで動作して出力する読出アドレスRAを1ずつインクリメントするとともに、システムリセット信号RSTにより読出アドレスRAを「0」にリセットする。なお、読出アドレスRAは、最大アドレスまでインクリメントされた後は、再びアドレス「0」からインクリメントを開始する。本実施の形態4では、読出アドレスRAの最大アドレスは、「3」に設定されている。読出アドレスRAは、前述したメモリ回路47に接続される。一方、読出アドレスカウンタ52は、読出アドレスRAの最下位ビットLSB2を選択器48に出力する。

#### 【0065】

メモリ回路47は、前述した読出アドレスRAで指定されるアドレスRAに書き込まれている書込カウンタのカウンタ値WDを読み出し、一致検出手段53に出力する。一致検出手段53はメモリ回路47から入力したデータと、読出カウンタ54のカウンタ値RDとを比較し、両者の値が一致したら前述の一致検出信号Eを出力する。一致検出信号Eは、前述の通り、読出アドレスカウンタ52に接続されている。

#### 【0066】

読出カウンタ54には、デコーダ56の出力、クロックパルスC、およびシス

テムリセット信号 R S T が接続されている。デコーダ 5 6 には、入力端子 5 7 が接続されている。入力端子 5 7 には、デジタル信号 A に与える遅延時間を設定するためのモード指定信号 H が入力される。デコーダ 5 6 は、入力されるモード指定信号 H により所望の遅延時間に相当するクロックパルス C の遅延カウント値を認定し、この遅延カウント値を読出カウンタ 5 4 に出力する。読出カウンタ 5 4 は、クロックパルス C が入力される度にカウント値 R D を 1 つずつカウントダウンするとともに、システムリセット信号 R S T によりカウント値 R D を第 2 の初期値にリセットする。この第 2 の初期値は、前述した第 1 の初期値に対して遅延時間に相当するクロックパルス C のクロック数分に 1 を加えた差分を有する値である。本実施の形態 4 では、第 2 の初期値として遅延カウント値に 1 を加えた値が設定される。

## 【 0 0 6 7 】

一方、デコーダ 5 6 の出力は、本発明の判定手段である記憶装置 5 8 にも接続されている。記憶装置 5 8 には、システムリセット信号 R S T も接続されている。記憶装置 5 8 は、デコーダ 5 6 が出力する遅延カウント値を記憶し、システムリセット信号 R S T が入力された場合に、記憶した遅延カウント値が「0」すなわち遅延時間が無い場合であれば出力 S を「0」として出力し、遅延カウント値が「0」以外の値すなわち遅延時間が有る場合であれば出力 S を「1」として出力する。記憶装置 5 8 の出力 S は、前述した選択器 4 8 に接続される。選択器 4 8 は、本発明の出力手段として機能する。

## 【 0 0 6 8 】

次に、遅延装置 4 1 の動作を図 7、8 を用いて説明する。図 8 は、同実施の形態 4 の遅延装置の動作を示すタイムチャートである。ただし、図 8 は、遅延装置 4 1 の動作説明を簡明とするために、信号を処理する各ブロック自身の位相遅れは省略している。本実施の形態 4 では、例えば、クロックパルス C の周期を 5 0 n s とし、デジタル信号 A に与える遅延時間 T を 5 0 0 n s としている。この場合、遅延時間 T に相当する遅延カウント値は、「1 0」となる。したがって、図 7 において、デコーダ 5 6 は、「1 0」を出力する。読出カウンタ 5 4 は、デコーダ 5 6 から入力した遅延カウント値（「1 0」）に「1」を加えた値を第 2

の初期値とする。したがって、読出カウンタ 5 4 は、システムリセット信号 R S T が入力されると、カウント値 R D を「1 1」にリセットする。また、本実施の形態 4 では、遅延されるデジタル信号 A は、レベル保持期間が不定な信号を対象としている。

## 【 0 0 6 9 】

図 7 に示すように、立上がりエッジ検出手段 4 2 には、入力端子 2 を介して立ち上げ期間が一定のデジタル信号 A がクロックパルス C に同期して入力される。

## 【 0 0 7 0 】

図 8 に示す時刻 t 41 において、デジタル信号 A が入力される前にシステムリセット信号 R S T が入力される。システムリセット信号 R S T の入力により、書込アドレスカウンタ 4 6 は、書込アドレス W A の値を「0」にリセットする。書込カウンタ 5 1 は、カウント値 W D を「0」にリセットする。読出アドレスカウンタ 5 2 は、読出アドレス R A の値を「0」にリセットする。読出カウンタ 5 4 は、カウント値 R D を、デコーダ 5 6 が出力する遅延カウント値に「1」を加えた値（本実施の形態 4 では、「1 1」）にリセットする。記憶装置 5 8 は、デコーダ 5 6 が出力した遅延カウント値「1 0」を入力する。そして遅延装置 5 8 は、遅延カウント値が「0」以外の数値であるため、出力 S を「1」として出力する。

## 【 0 0 7 1 】

時刻 t 41 において、システムリセット信号 R S T が入力された時、選択器 4 8 は、読出アドレス R A の最下位ビット L S B 2 を出力する。この場合、読出アドレス R A は、「0」であるため、その最下位ビット L S B 2 の値は「0」となる。したがって、選択器 4 8 は、出力信号 B の値を「0」として出力する。

## 【 0 0 7 2 】

時刻 t 41 以降、メモリ回路 4 7 は、クロックパルス C により動作して、書込アドレスカウンタ 4 6 の書込アドレス W A により指定されるアドレス（「0」）に、書込カウンタ 5 1 が出力するカウント値 W D を書き込む。更に、メモリ回路 4 7 は、クロックパルス C により動作して、読出アドレスカウンタ 5 2 の読出アド

レスRAにより指定されるアドレス（「0」）に書き込まれているカウント値WDを一致検出手段53に出力する。一致検出手段53は、メモリ回路47から入力するカウント値WDと読出カウンタから入力するカウント値RDとを比較する。

#### 【0073】

時刻t42において、デジタル信号Aの論理レベルが「0」から「1」へ変化すると、立ち上がりエッジ検出ブロック42は、デジタル信号Aの同期化出力をエッジ検出信号Dとして出力する。OR回路44は、エッジ検出信号Dの入力により出力Kを出力する。書込アドレスカウンタ46は、出力Kにより動作して、出力する書込アドレスWAを「0」から「1」へ1だけインクリメントする。メモリ回路47は、カウント値WDを書き込むアドレスを、書込アドレスWAの値に対応させ、「0」から「1」へ変化させる。メモリ回路47は、時刻t42以降、アドレス「1」にカウント値WDを書き込む。

#### 【0074】

時刻t43において、デジタル信号Aの論理レベルが「1」から「0」へ変化すると、立ち下がりエッジ検出ブロック43は、デジタル信号Aの同期化出力をエッジ検出信号D'として出力する。OR回路44は、エッジ検出信号D'の入力により出力Kを出力する。書込アドレスカウンタ46は、出力Kの入力により出力する書込アドレスWAを「1」から「2」へ1だけインクリメントする。メモリ回路47は、カウント値WDを書き込むアドレスを、書込アドレスWAの値に対応させ、「1」から「2」へ変化させる。メモリ回路47は、時刻t43以降、アドレス2にカウント値WDを書き込む。

#### 【0075】

時刻t44において、メモリ回路47のアドレス「0」から入力していたカウント値WDとカウント値RDとを比較していた一致検出手段53が、両者の値が一致したことを検出し、一致検出信号Eを出力する。読出アドレスカウンタ52は、一致検出信号Eにより動作して、出力する読出アドレスRAを「0」から「1」へ1だけインクリメントする。選択器48は、読出アドレスRAの最下位ビットLSB2を出力する。したがって、選択器48は出力信号Bの値を「0」から

「1」へ変化させる。この出力信号Bの立上がり時刻 $t_{44}$ は、デジタル信号Aの立上がり時刻 $t_{42}$ から遅延カウンタ値すなわちクロックパルスC10個分だけ遅延されている。したがって、出力信号Bの立上がり時刻 $t_{44}$ は、デジタル信号Aの立上がり時刻 $t_{42}$ から遅延時間T(500ns)だけ遅延される。時刻 $t_{44}$ 以降、一致検出手段53は、メモリ回路47のアドレス「1」に記憶されているカウンタ値WDを読み出す。

## 【0076】

時刻 $t_{45}$ において、デジタル信号Aの論理レベルが再び「0」から「1」へ立ち上がると、立ち上がりエッジ検出ブロック42は、エッジ検出信号Dを出力する。OR回路44は、出力Kを出力する。書込アドレスカウンタ46は、出力Kにより動作して、書込アドレスWAを「2」から「3」へ1だけインクリメントする。メモリ回路47は、カウンタ値WDを書き込むアドレスを、書込アドレスWAの値に対応させ、「2」から「3」へ変化させる。メモリ回路47は、時刻 $t_{45}$ 以降、アドレス「3」にカウンタ値WDを書き込む。

## 【0077】

一方、時刻 $t_{45}$ において、メモリ回路47のアドレス「1」から入力していたカウンタ値WDとカウンタ値RDとを比較していた一致検出手段53が、両者の値が一致したことを検出し、一致検出信号Eを出力する。読出アドレスカウンタ52は、一致検出信号Eにより動作して、出力する読出アドレスRAを「1」から「2」へ1だけインクリメントする。選択器48は、読出アドレスRAの最下位ビットLSB2を出力する。したがって、選択器48は出力信号Bの値を「1」から「0」へ変化させる。この出力信号Bの立下がり時刻 $t_{45}$ は、デジタル信号Aの立下がり時刻 $t_{43}$ から遅延カウンタ値分すなわちクロックパルスC10個分だけ遅延されている。したがって、出力信号Bの立上がり時刻 $t_{45}$ は、デジタル信号Aの立下がり時刻 $t_{43}$ から遅延時間T(800ns)だけ遅延される。時刻 $t_{45}$ 以降、一致検出手段53は、メモリ回路47のアドレス「2」に記憶されているカウンタ値WDを読み出す。

## 【0078】

時刻 $t_{46}$ において、デジタル信号Aの論理レベルが「1」から「0」へ変化

すると、立下がりエッジ検出ブロック 4 3 は、エッジ検出信号  $D'$  を出力する。OR 回路 4 4 は、出力  $K$  を出力する。書込アドレスカウンタ 4 6 は、出力  $K$  の入力により、出力する書込アドレス  $WA$  を「3」から 1 だけインクリメントする。但し、書込アドレスカウンタ 4 6 は、2 ビットアップカウンタにより実現されているため、実際には書込アドレス  $WA$  は、「3」から「0」へ変化する。メモリ回路 4 7 は、カウント値  $WD$  を書き込むアドレスを、書込アドレス  $WA$  の値に対応させ、「3」から「0」へ変化させる。メモリ回路 4 7 は、時刻  $t_{46}$  以降、アドレス「0」にカウント値  $WD$  を書き込む。

## 【 0 0 7 9 】

時刻  $t_{47}$  において、メモリ回路 4 7 のアドレス「2」から入力していたカウント値  $WD$  とカウント値  $RD$  とを比較していた一致検出手段 5 3 が、両者の値が一致したことを検出し、一致検出信号  $E$  を出力する。読出アドレスカウンタ 5 2 は、一致検出信号  $E$  により動作して、出力する読出アドレス  $RA$  を「2」から「3」へ 1 だけインクリメントする。選択器 4 8 は、読出アドレス  $RA$  の最下位ビット  $LSB_2$  を出力する。したがって、選択器 4 8 は出力信号  $B$  の値を「0」から「1」へ変化させる。この出力信号  $B$  の立上がり時刻  $t_{47}$  は、デジタル信号  $A$  の立上がり時刻  $t_{45}$  から遅延カウント値すなわちクロックパルス  $C_10$  個分だけ遅延されている。したがって、出力信号  $B$  の立上がり時刻  $t_{47}$  は、デジタル信号  $A$  の立上がり時刻  $t_{45}$  から遅延時間  $T$  ( $500\text{ ns}$ ) だけ遅延される。時刻  $t_{47}$  以降、一致検出手段 5 3 は、メモリ回路 4 7 のアドレス「3」に記憶されているカウント値  $WD$  を読み出す。

## 【 0 0 8 0 】

時刻  $t_{48}$  において、デジタル信号  $A$  の論理レベルが再び「0」から「1」へ立ち上がり、時刻  $t_{49}$  において、デジタル信号  $A$  の論理レベルが「1」から「0」へ立ち下がる。この場合の遅延装置 4 1 の動作は、前述した時刻  $t_{42}$ ,  $t_{43}$ 、時刻  $t_{45}$ ,  $t_{46}$  と同様の動作を行う。

## 【 0 0 8 1 】

時刻  $t_{410}$  において、メモリ回路 4 7 のアドレス「3」から入力していたカウント値  $WD$  とカウント値  $RD$  とを比較していた一致検出手段 5 3 が、両者の値が

一致したことを検出し、一致検出信号Eを出力する。読出アドレスカウンタ52は、出力する読出アドレスRAを「3」から1だけインクリメントする。但し、読出アドレスカウンタ52は、2ビットアップカウンタにより実現されているため、実際には読出アドレスRAは、「3」から「0」へ変化する。選択器48は、読出アドレスRAの最下位ビットLSB2を出力する。したがって、選択器48は出力信号Bの値を「1」から「0」へ変化させる。この出力信号Bの立下がり時刻 $t_{410}$ は、デジタル信号Aの立下がり時刻 $t_{49}$ から遅延カウント値分すなわちクロックパルスC10個分だけ遅延されている。したがって、出力信号Bの立上がり時刻 $t_{410}$ は、デジタル信号Aの立下がり時刻 $t_{49}$ から遅延時間T（800ns）だけ遅延される。時刻 $t_{410}$ 以降、一致検出手段53は、メモリ回路47のアドレス「0」に記憶されているカウント値WDを読み出す。以降、システムリセット信号RSTが入力されるまで、デジタル信号Aの論理レベルの変化に対応して、前述と同様の動作が繰り返される。

#### 【0082】

一方、遅延時間が設定されていない場合、すなわち遅延時間が無い場合、図7において、デコーダ56は遅延カウント値「0」を出力する。記憶装置58は、システムリセット信号RSTが入力された時に、選択器48に「0」を出力する。選択器48は、記憶装置58からの信号に応じて、出力する信号を書込アドレスカウンタ46の書込アドレスWAの最下位ビットLSB1に選択する。図8から分かる通り、書込アドレスWAは、デジタル信号Aの論理レベルの変化に同期して、その値を1ずつインクリメントしている。このため、選択器48が出力する信号Bは、デジタル信号Aに同期し、且つ、論理レベルも一致した信号となる。

#### 【0083】

上述のように、本実施の形態4においては、遅延装置41は、レベル保持期間が不規則に変化するデジタル信号Aに対して、デジタル信号Aから所望の時間だけ遅延させ、且つデジタル信号Aと同じレベル保持期間を有する出力信号Bを出力することができる。さらに、遅延装置41では、遅延時間Tをデジタル信号Aのレベル保持期間を越える値に設定することができる。このため、ディ



デジタル信号 A と比較して、相対的に大きな遅延時間が求められる場合に有効である。

#### 【 0 0 8 4 】

##### （他の実施の形態）

以上、本発明の実施の形態を詳述したが、本発明は、各実施の形態に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内で、種々の変更を行うことが可能である。本発明の他の実施の形態を下記に例示する。

#### 【 0 0 8 5 】

（１）実施の形態 1 においては、実施の形態 2，3 と同様に、入力端子 3 とカウンタ 5 との間に分周手段 22 を設けることが可能である。逆に、実施の形態 2，3 においては、分周手段 22 を省略することが可能である。

#### 【 0 0 8 6 】

（２）各実施の形態においては、遅延時間 T は使用する条件に応じて種々の数値に設定することができる。

#### 【 0 0 8 7 】

##### 【発明の効果】

以上述べた様に本発明の遅延装置によれば、第 1 の論理レベルおよび第 2 の論理レベルを有するデジタル信号に対し特定の遅延時間を与えて出力する遅延装置において、遅延カウント値デジタル信号が遅延カウント値第 1 の論理レベルから遅延カウント値第 2 の論理レベルへ変化する第 1 のエッジを検出して第 1 のエッジ検出信号を出力する第 1 のエッジ検出手段と、入力される基準クロックをカウントして第 1 のカウント値として出力するとともに入力される遅延カウント値第 1 のエッジ検出信号により遅延カウント値第 1 のカウント値をリセットする第 1 のカウンタを有し、遅延カウント値第 1 のカウント値が遅延カウント値遅延時間に相当する遅延カウント値と一致したらセット信号を出力するセット手段と、遅延カウント値セット信号が出力されてから遅延カウント値デジタル信号が遅延カウント値第 2 の論理レベルを保持するレベル保持期間と等しい時間だけ経過した時にリセット信号を出力するリセット手段と、遅延カウント値セット信号あるいは遅延カウント値リセット信号に同期したエッジを有する信号を出力する

出力手段とを備えることを備えている。このため、デジタル信号の第 1 のエッジだけでなく、デジタル信号が第 2 の論理レベルから第 1 の論理レベルへ変化する第 2 のエッジに対しても所望する遅延時間を与えることができる。

#### 【 0 0 8 8 】

本発明の遅延方法によれば、第 1 の論理レベルおよび第 2 の論理レベルを有するデジタル信号に対し特定の遅延時間を与えて出力する遅延方法において、（A）遅延カウント値デジタル信号が遅延カウント値第 1 の論理レベルから遅延カウント値第 2 の論理レベルへ変化する第 1 のエッジを検出して第 1 のエッジ検出信号を出力するステップと、（B）入力される基準クロックをカウントして第 1 のカウント値として出力するとともに、入力される遅延カウント値第 1 のエッジ検出信号により遅延カウント値第 1 のカウント値をリセットし、且つ遅延カウント値カウント値が遅延カウント値遅延時間に相当する遅延カウント値と一致したらセット信号を出力するステップと、（C）遅延カウント値セット信号が出力されてから遅延カウント値デジタル信号が遅延カウント値第 2 の論理レベルを保持するレベル保持期間と等しい時間だけ経過した時にリセット信号を出力するステップと、（D）遅延カウント値セット信号あるいは遅延カウント値リセット信号に同期したエッジを有する信号を出力するステップとを備えている。このため、デジタル信号の第 1 のエッジだけでなく、デジタル信号が第 2 の論理レベルから第 1 の論理レベルへ変化する第 2 のエッジに対しても所望する遅延時間を与えることができる。

#### 【図面の簡単な説明】

##### 【図 1】

本発明の実施の形態 1 における遅延装置を機能ブロックで示した構成図である。

##### 【図 2】

本発明の実施の形態 1 の遅延装置の動作を示すタイムチャートである。

##### 【図 3】

本発明の実施の形態 2 における遅延装置を機能ブロックで示した構成図である。

【図 4】

本発明の実施の形態 2 の遅延装置の動作を示すタイムチャートである。

【図 5】

本発明の実施の形態 3 における遅延装置を機能ブロックで示した構成図である。

【図 6】

本発明の実施の形態 3 の遅延装置の動作を示すタイムチャートである。

【図 7】

本発明の実施の形態 4 における遅延装置を機能ブロックで示した構成図である。

【図 8】

本発明の実施の形態 4 の遅延装置の動作を示すタイムチャートである。

【図 9】

従来の遅延装置を機能ブロックで示した構成図である。

【図 1 0】

従来の遅延装置の動作を示すタイムチャートである。

【図 1 1】

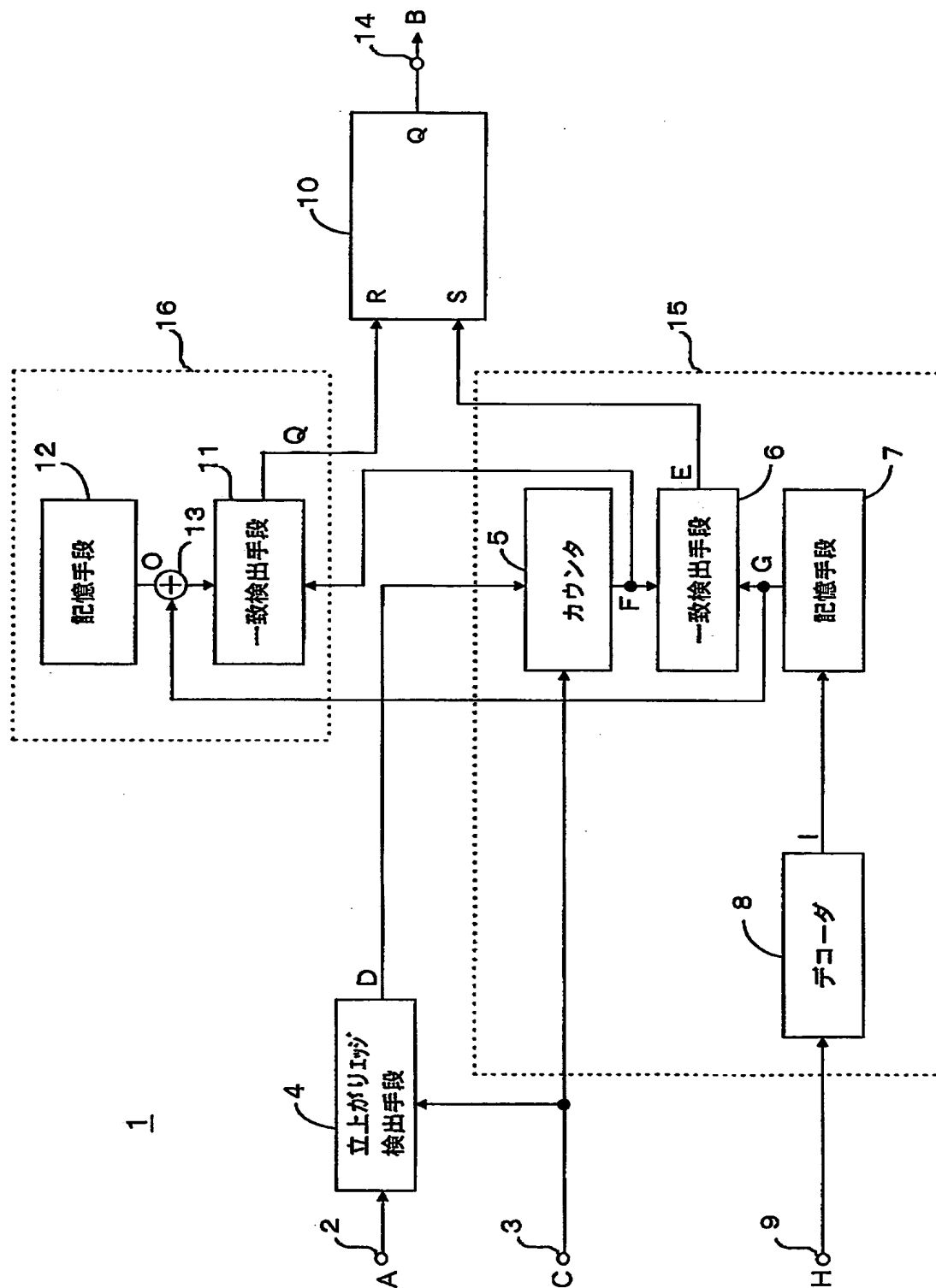
従来の遅延装置の動作の問題点を示すタイムチャートである。

【符号の説明】

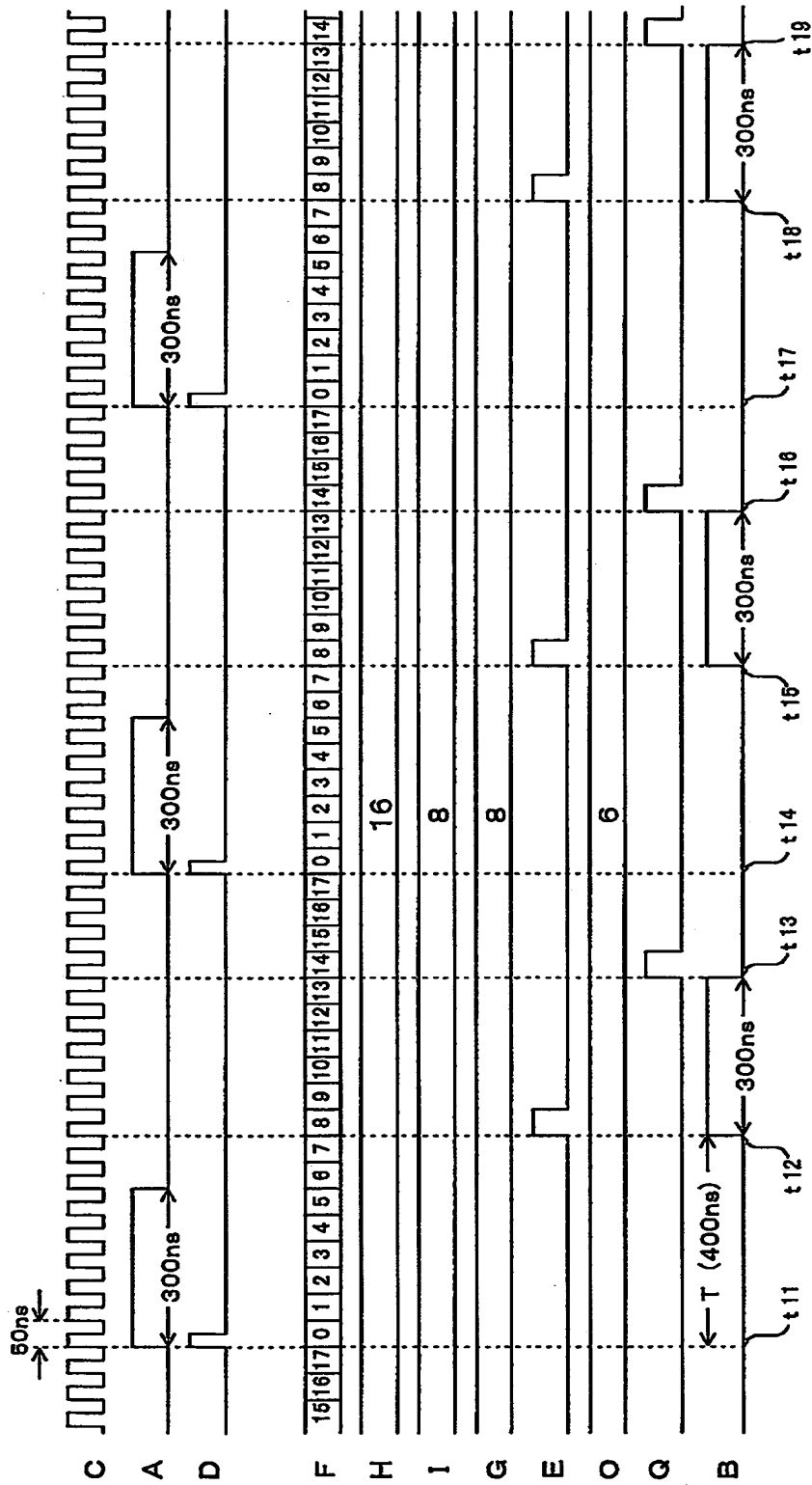
1、2 1、3 1、4 1…遅延装置、2、3、9、5 7…入力端子、4、4 2…立上がりエッジ検出手段、5、2 8、3 3…カウンタ、6、1 1、2 7、3 4…一致検出手段、7、1 2、2 6…記憶手段、8、5 6…デコーダ、1 0…RS フリップフロップ、1 3…加算器、1 4…出力端子、2 2…分周手段、2 3、4 3…立下がりエッジ検出手段、2 3、4 4…OR 回路、4 5…リセット端子、4 6…書込アドレスカウンタ、4 7…メモリ回路、4 8…選択器、5 1…書込カウンタ、5 2…読出アドレスカウンタ、5 3…一致検出手段、5 4…読出カウンタ、5 8…記憶装置。

【書類名】 図面

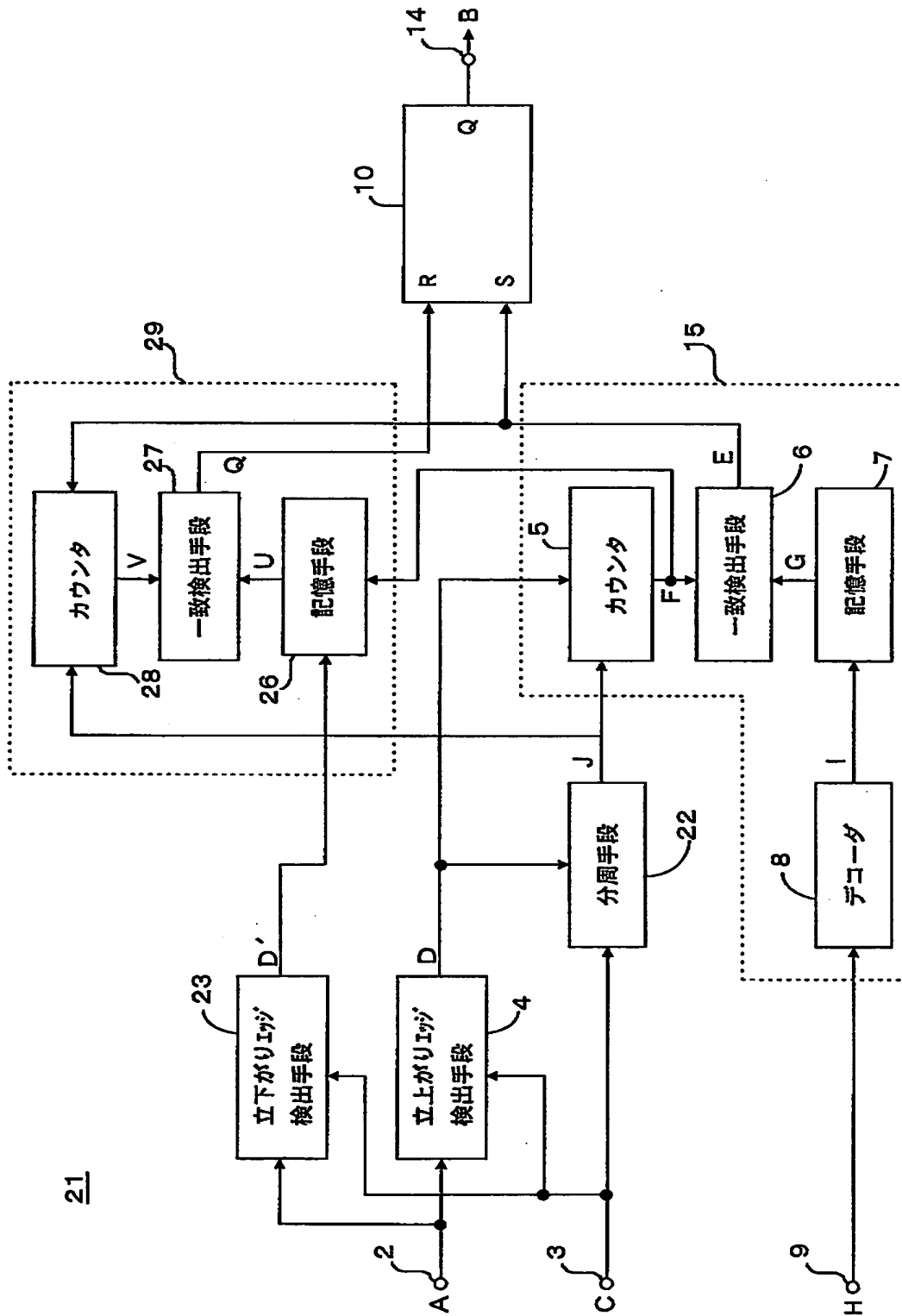
【図 1】



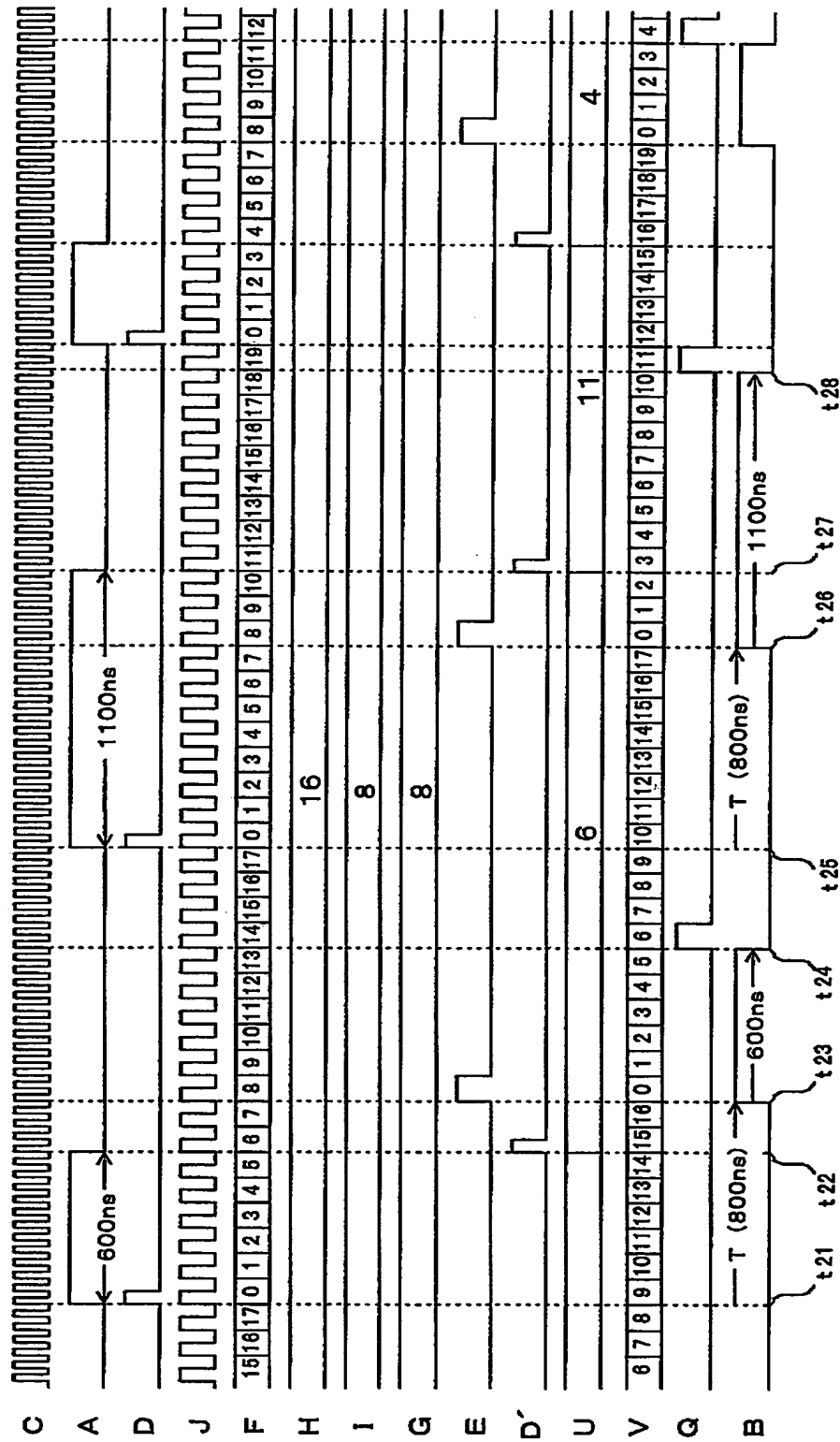
【図2】



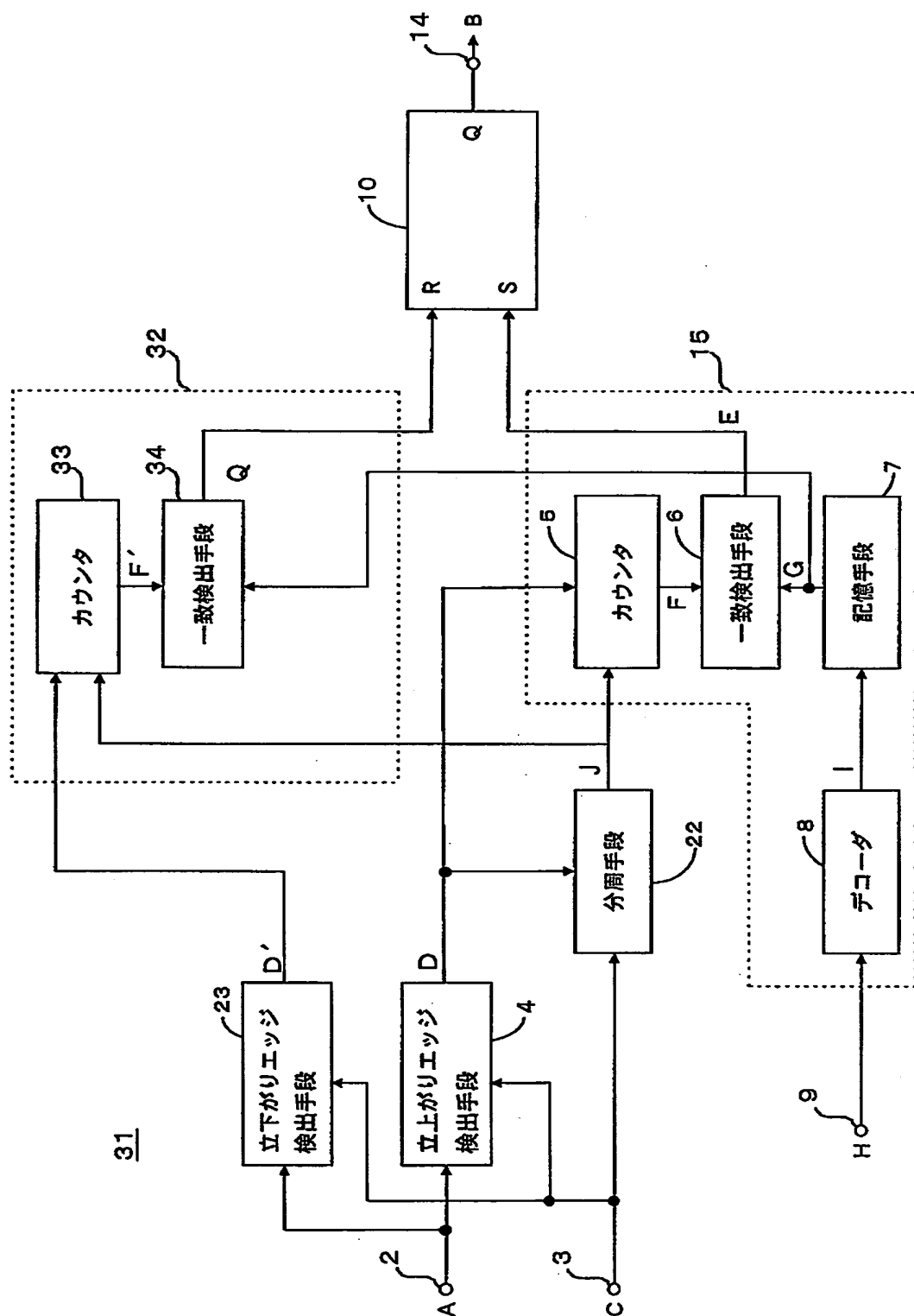
【図3】



【図4】

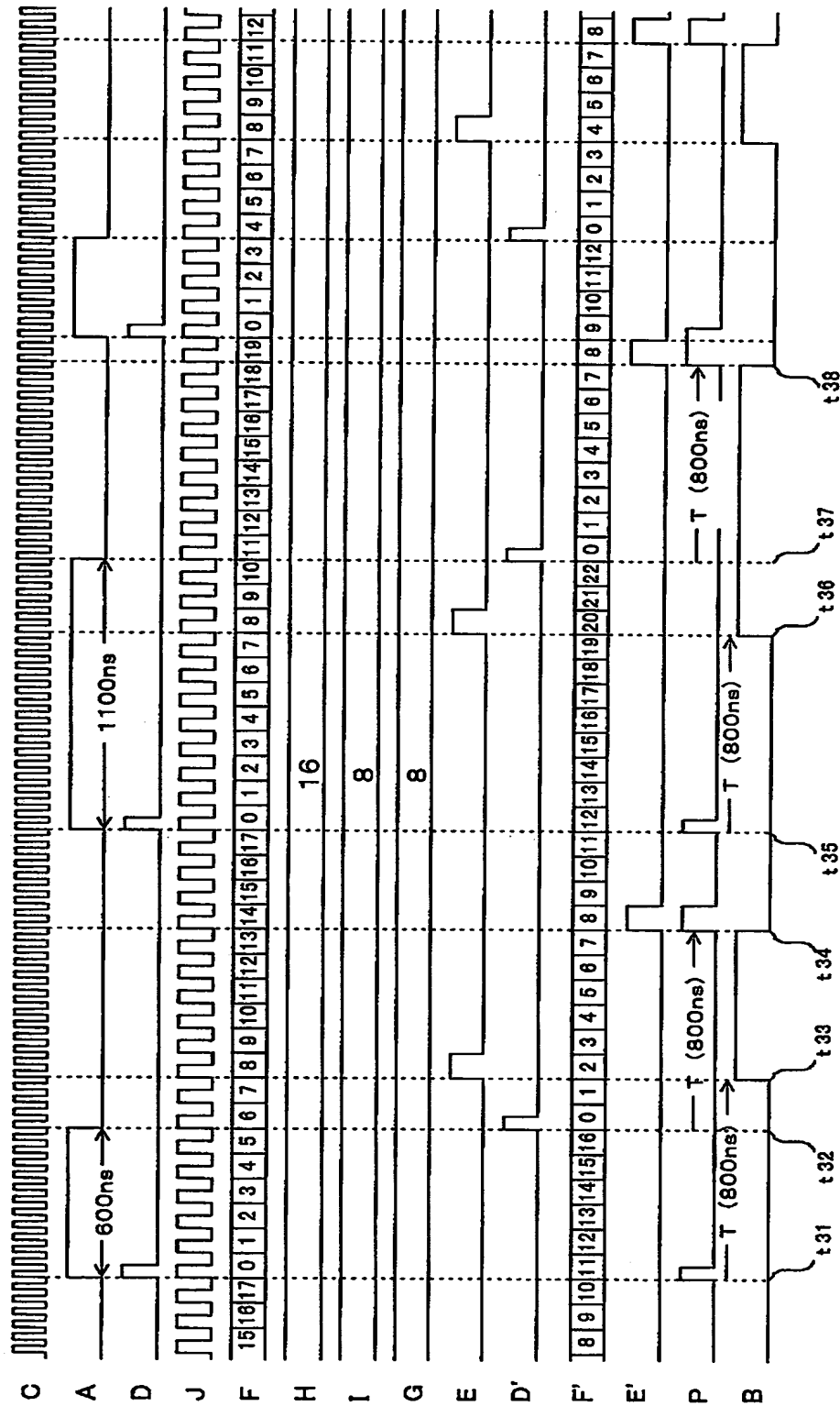


【図5】

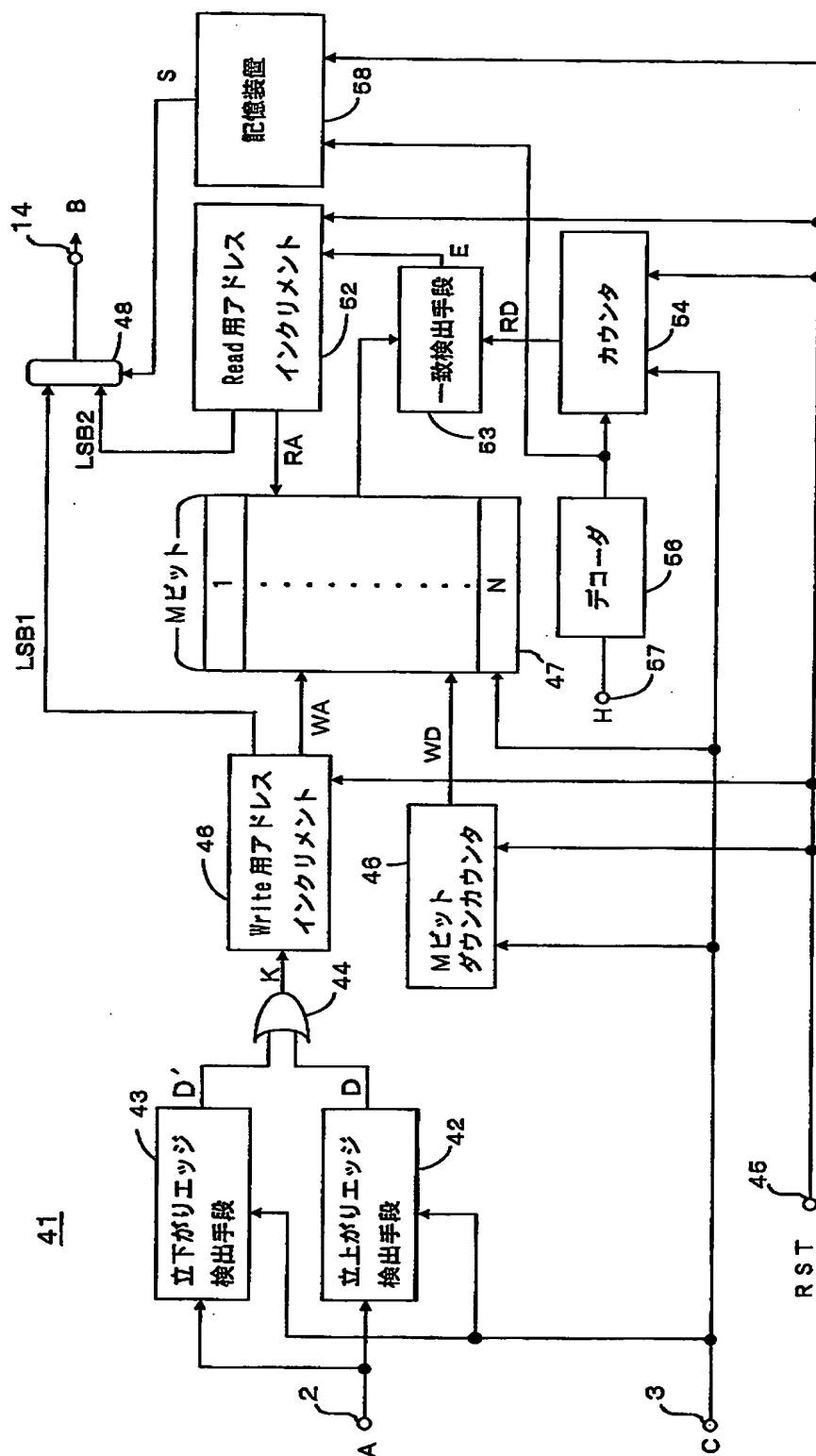




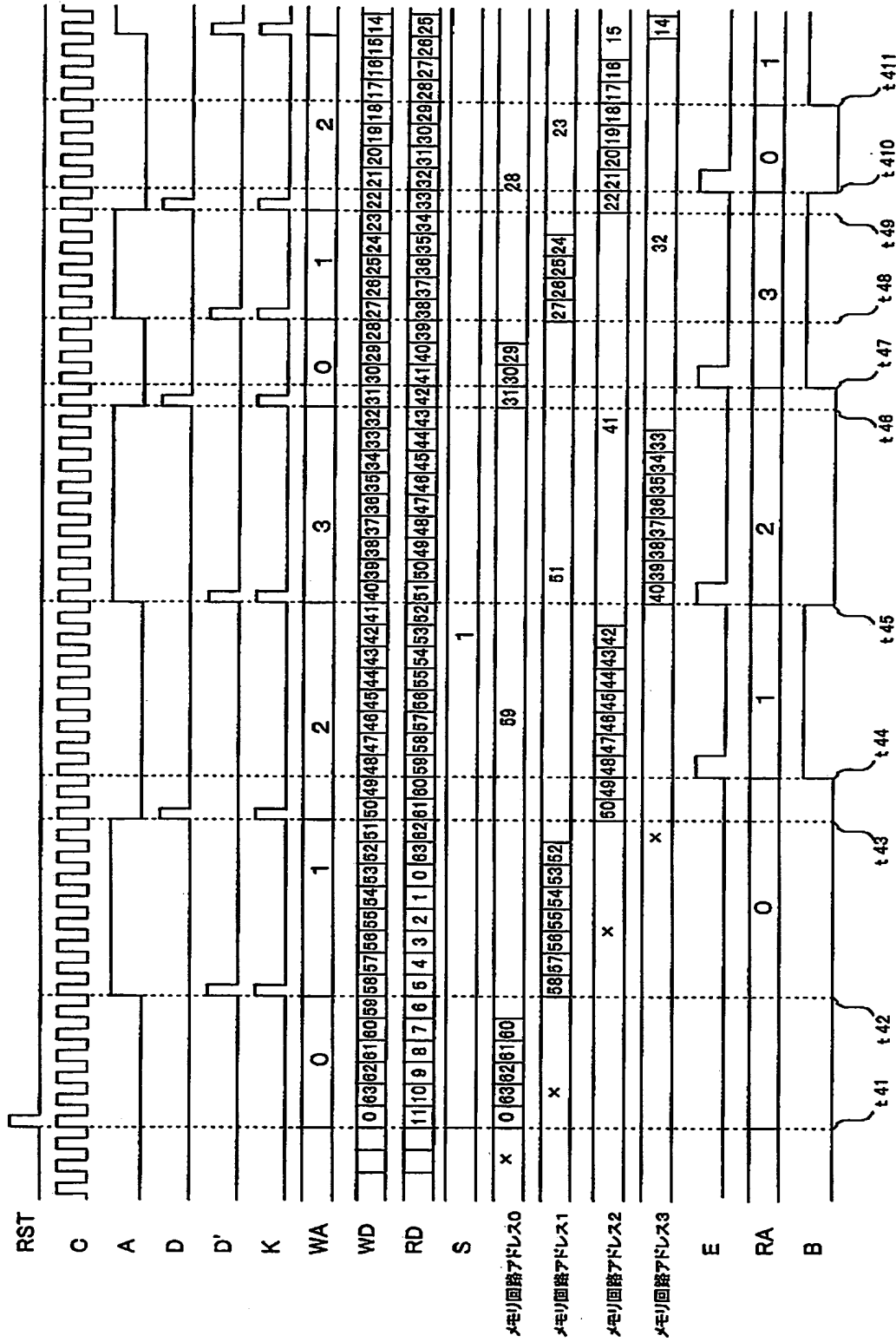
【図 6】



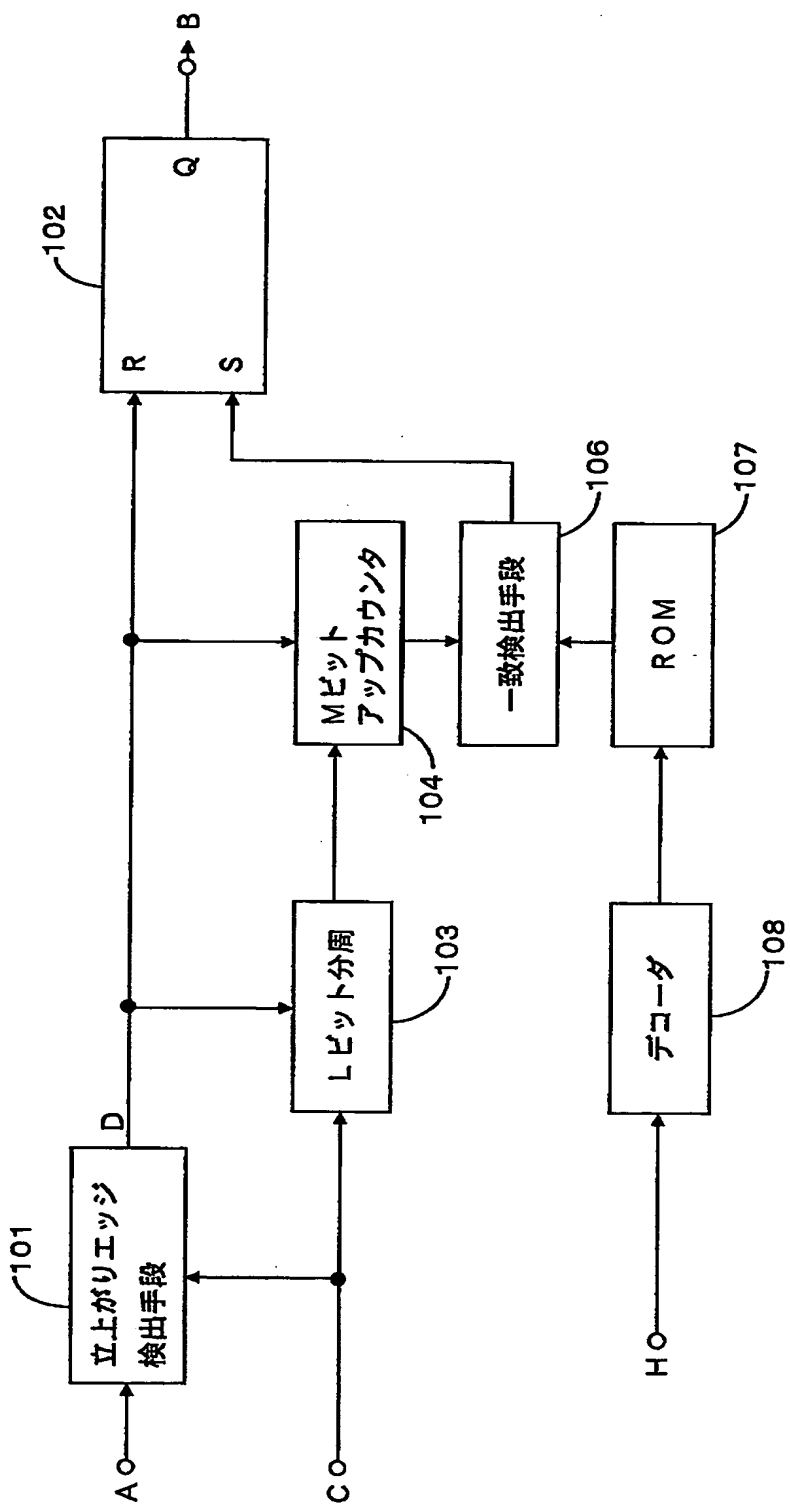
【図 7】



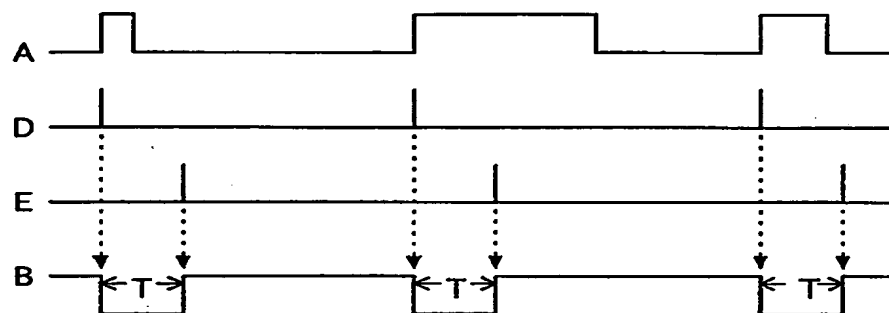
【図 8】



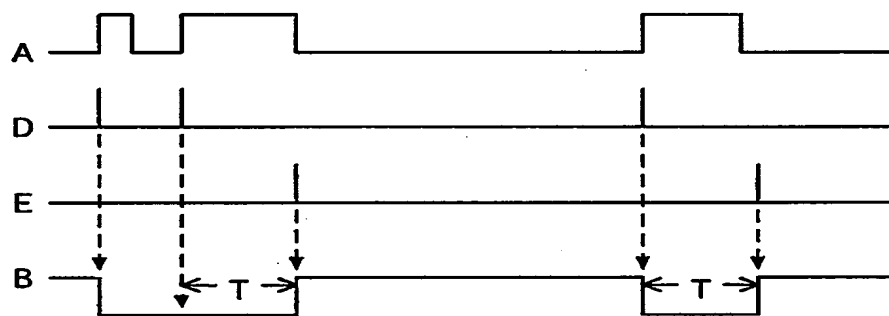
【図9】



【図10】



【図11】



【書類名】 要約書

【要約】

【課題】 デジタル信号の立上がりエッジに対しては所望の遅延時間が与えられているが、立下がりエッジに対しては与えられていなかった。

【解決手段】 セット信号Eが出力されてからデジタル信号Aが第2の論理レベルを保持するレベル保持期間と等しい時間だけ経過した時にリセット信号Qを出力するリセット手段を設けた。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000000295]

1. 変更年月日	1990年 8月22日
[変更理由]	新規登録
住 所	東京都港区虎ノ門1丁目7番12号
氏 名	沖電気工業株式会社